

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-085684

(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

G06F 13/42

(21)Application number : 09-239815 (71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 04.09.1997 (72)Inventor : YAMAMOTO KENJI

(54) I/O ACCESS CONTROL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an I/O access control circuit with which a conventional program can be diverted even in the case of a change to a CPU at accelerated processing speed.

SOLUTION: When recovery time has been set to a recovery time setting circuit 3 by a CPU 1, a clock 13 is counted by a programmable counter circuit 4, a comparator 5 compares the set recovery time with the added value of clocks 13. When the added value reaches the recovery time, a coincidence signal is outputted and when a response signal 15 from an I/O controller 2 and the coincidence signal 14 are inputted corresponding to the access of the CPU 1, an AND circuit 6 outputs a signal 16 for setting the recovery time to the CPU 1.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision
of rejection]

[Kind of final disposal of application other
than the examiner's decision of rejection
or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's

decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

CLAIMS

[Claim(s)]

[Claim 1] A recovery time amount distinction means to set up the recovery time amount when it distinguishes and exists [whether the recovery time amount of this I/O controller exists as data, and] in case CPU accesses an I/O controller, the time check which starts the time check of time amount when recovery time amount is set up by this recovery time amount distinction means -- with a means said recovery time amount and said time check -- the time check of a means -- time amount -- comparing -- this -- a time check -- with a comparison means to output a coincidence signal when time amount becomes the same as that of recovery time amount The I/O access-control circuit characterized by having a signal sending-out means to output the signal which makes recovery time amount set it as said recovery time amount distinction means when the reply signal and said coincidence signal from the I/O controller to access of CPU are inputted.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the I/O access-control circuit which controls the access cycle to the I/O controller of CPU in more detail with respect to a computer system.

[0002]

[Description of the Prior Art] Generally, CPU outputs a selection signal and a command signal, and the cycle in which CPU performs access to an I/O controller according to directions of a program completes them, when the I/O controller which finished the processing outputs a reply signal. When CPU accesses the I/O controller which requires recovery time amount, after giving an access instruction to an I/O controller, issuance of the next access instruction is delayed according to the means called a software loop formation. For example, after the execution time per instruction

of CPU gives the first access instruction to an I/O controller in 1 microsecond, it executes the loop formation of five batches and he is trying to take out the 2nd access instruction with it after that, when the recovery time amount of an I/O controller is 5 microseconds.

[0003]

[Problem(s) to be Solved by the Invention] However, if a program changes CPU into what has high processing speed in the conventional state, since the recovery time amount by software will be shortened, Although access becomes impossible to an I/O controller, consequently it is necessary to change the count of a software loop formation with improvement in the speed of CPU Having considered the speed of the rate of improvement of the processing speed of CPU in recent years, and the quantity of the software made until now, it was what requires huge manday to change a program in proportion to improvement in the processing speed of CPU.

[0004]

[Means for Solving the Problem] When CPU accesses the I/O access-control circuit concerning this invention at an I/O controller, A recovery time amount distinction means to set up the recovery time amount when it distinguishes and exists [whether the recovery time amount of this I/O controller exists as data, and], the time check which starts the time check of time amount when recovery time amount is set up by this recovery time amount distinction means -- with a means said recovery time amount and said time check -- the time check of a means -- time amount -- comparing -- this -- a time check -- with a comparison means to output a coincidence signal when time amount becomes the same as that of recovery time amount When the reply signal and said coincidence signal from the I/O controller to access of CPU are inputted, it has a signal sending-out means to output the signal which makes recovery time amount set it as said recovery time amount distinction means.

[0005] if a recovery time amount distinction means sets up recovery time amount in this invention -- a time check -- the recovery time amount to which the means started the time check of time amount and the comparison means was set, and a time check -- the time amount clocked by the means -- comparing -- the time check -- when time amount reaches recovery time amount, a coincidence signal is outputted to a signal sending-out means. A signal sending-out means will output the signal which makes recovery time amount set it as a recovery time amount distinction means, if the reply signal and said coincidence signal from the I/O controller to access of CPU are inputted.

[0006]

[Embodiment of the Invention] Drawing 1 is the block diagram showing the operation gestalt of this invention, and in drawing, 1 is CPU of a computer, and in case I/O controller 2 is accessed, when it distinguishes and exists [whether the recovery time amount of I/O controller 2 exists as data, and], it is equipped with a recovery time

amount distinction means to set up the recovery time amount. This recovery time amount is changed into a signal 11, and is outputted to the recovery time setting circuit 3. Moreover, when recovery time amount is set up, a seizing signal 12 is outputted to the recovery time setting circuit 3 and programmable counter circuit 4, respectively. After the output of a seizing signal 12 outputs the selection signal 21 for choosing I/O controller 2, and the command signal 22 based on an instruction of a program to I/O controller 2.

[0007] The above-mentioned recovery time setting circuit 3 outputs recovery time amount, when a seizing signal 12 is inputted, if a seizing signal 12 is inputted, a clock signal 13 will be inputted and it will add the programmable counter circuit 4, and it outputs the aggregate value of a clock each time. It is a comparator, 5 compares with the aggregate value of the programmable counter circuit 4 the recovery time amount outputted from the recovery time setting circuit 3, and when the aggregate value becomes the same as that of recovery time amount, it outputs the coincidence signal 14. 6 is an AND circuit, equivalent to the signal sending-out means of this invention, when the reply signal 15 and said coincidence signal 14 from I/O controller 2 to access of CPU1 are inputted, it outputs the signal (henceforth a "recovery time amount setpoint signal") of H level to CPU1, and it makes recovery time amount set up again.

[0008] Next, actuation is explained based on drawing 2. Drawing 2 is a flow chart which shows actuation of CPU in an operation gestalt. In case CPU1 accesses I/O controller 2, although not illustrated, it distinguishes whether the recovery time amount of I/O controller 2, for example, 5 microseconds, exists as data. Although the selection signal 21 and command signal 22 of an access instruction are outputted to I/O controller 2 based on the processing speed which CPU1 has when recovery time amount does not exist as data When recovery time amount exists as data While changing 5 microseconds of the recovery time amount into a signal 11 and outputting to the recovery time setting circuit 3 A seizing signal 12 is outputted to the recovery time setting circuit 3 and the programmable counter circuit 4, respectively (S1, S2), and the selection signal 21 and command signal 22 based on a program are outputted to I/O controller 2 (S3). And when it judges whether all access instructions were published and issuance of (S4) and an access instruction is ended, another processing is started, but when having not ended, it judges whether the recovery time amount setpoint signal 16 was inputted (S5), and when the recovery time amount setpoint signal is not inputted, it stands by.

[0009] When 5 microseconds of recovery time amount to which the recovery time setting circuit 3 was set by CPU1 on the other hand are outputted to a comparator 5, the programmable counter circuit 4 compares the aggregate value from 5 microseconds of recovery time amount as which it added whenever the clock signal 13 for 1 microsecond was inputted, and was outputted to the comparator 5, and the comparator 5 was inputted, and a comparator 5 and the aggregate value reaches at 5

microseconds of recovery time amount, the coincidence signal 14 is outputted to AND circuit 6. AND circuit 6 outputs the recovery time amount setpoint signal 16 to CPU1, when the reply signal 15 from I/O controller 2 to access of CPU1 and the coincidence signal 14 from a comparator 5 are inputted.

[0010] It will return to step 1 and CPU1 will repeat a series of processings mentioned above, if the recovery time amount setpoint signal 16 is inputted. And another processing is started after all access instructions are completed by repeating this processing.

[0011] Thus, since it is preventing from issuing the next access instruction even if the processing speed of CPU1 improves until the clock signal 13 unrelated to the processing speed of CPU1 reaches the recovery time amount of I/O controller 2, even if it changes into CPU1 with high processing speed, it is effective in the ability to divert the conventional program as it is.

[0012]

[Effect of the Invention] the time of recovery time amount being set up when accessing an I/O controller as mentioned above according to this invention -- a time check -- the time check of a means -- since it is preventing from issuing the next access instruction if time amount does not reach the recovery time amount, even if it changes into CPU with high processing speed, it is effective in the ability to divert the conventional program as it is.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the operation gestalt of this invention.

[Drawing 2] It is the flow chart which shows actuation of CPU in an operation gestalt.

[Description of Notations]

1 CPU

2 I/O Controller

3 Recovery Time Setting Circuit

4 Programmable Counter Circuit

5 Comparator

6 AND Circuit

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-85684

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.⁶

G 0 6 F 13/42

識別記号

3 5 0

F I

G 0 6 F 13/42

3 5 0 C

審査請求 未請求 請求項の数 1 O L (全 4 頁)

(21) 出願番号 特願平9-239815

(22) 出願日 平成9年(1997) 9月4日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 山本 憲治

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

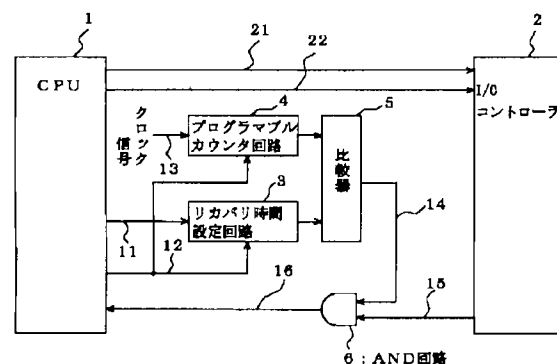
(74) 代理人 弁理士 大西 健治

(54) 【発明の名称】 I/Oアクセス制御回路

(57) 【要約】

【課題】 処理速度がアップしたCPUに変更しても従来のプログラムを流用できるI/Oアクセス制御回路を提供する。

【解決手段】 CPU1がリカバリ時間をリカバリ時間設定回路3に設定すると、プログラマブルカウンタ回路4がクロック13を計数し、比較器5は、設定されたリカバリ時間とクロック13の加算値とを比較し、その加算値がリカバリ時間に達したとき一致信号を出力し、AND回路6は、CPU1のアクセスに対するI/Oコントローラ2からの応答信号15及び一致信号14が入力されると、CPU1に対してリカバリ時間を設定させる信号16を出力する。



本発明に係るI/Oアクセス制御回路のブロック図

【特許請求の範囲】

【請求項 1】 CPU が I/O コントローラにアクセスする際、該 I/O コントローラのリカバリ時間がデータとして存在するかどうかを判別し、存在するときはそのリカバリ時間を設定するリカバリ時間判別手段と、該リカバリ時間判別手段によってリカバリ時間が設定されたとき時間の計時を開始する計時手段と、前記リカバリ時間と前記計時手段の計時時間とを比較し、該計時時間がリカバリ時間と同一になったとき一致信号を出力する比較手段と、CPU のアクセスに対する I/O コントローラからの応答信号及び前記一致信号が入力されたとき前記リカバリ時間判別手段にリカバリ時間を設定させる信号を出力する信号送出手段とを備えたことを特徴とする I/O アクセス制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンピュータシステムに係わり、さらに詳しくは、CPU の I/O コントローラへのアクセスサイクルを制御する I/O アクセス制御回路に関するものである。

【0002】

【従来の技術】一般に、CPU がプログラムの指示に従って I/O コントローラへのアクセスを実行するサイクルは、CPU が選択信号とコマンド信号を出力し、その処理を終えた I/O コントローラが応答信号を出力することによって完了する。CPU がリカバリ時間を要する I/O コントローラにアクセスするときは、I/O コントローラにアクセス命令を出した後、ソフトウェアループと呼ばれる手段に従って次のアクセス命令の発行を遅延させている。例えば、CPU の 1 命令当たりの実行時間が $1 \mu s$ で、I/O コントローラのリカバリ時間が $5 \mu s$ の場合、最初のアクセス命令を I/O コントローラに出した後、5 回分のループを実行し、その後 2 度目のアクセス命令を出すようにしている。

【0003】

【発明が解決しようとする課題】しかしながら、プログラムは従来のままで、CPU を処理速度の高いものに変わると、ソフトウェアによるリカバリ時間が短縮されてしまうため、I/O コントローラにアクセスができなくなり、その結果、CPU の高速化に伴いソフトウェアループの回数を変更する必要があるが、近年の CPU の処理速度の向上率のスピードと、今までに作られてきたソフトウェアの数量とを考えると、CPU の処理速度の向上に比例してプログラムを変更していくことは膨大な工数を要するものであった。

【0004】

【課題を解決するための手段】本発明に係る I/O アクセス制御回路は、CPU が I/O コントローラにアクセスする際、該 I/O コントローラのリカバリ時間がデ-

タとして存在するかどうかを判別し、存在するときはそのリカバリ時間を設定するリカバリ時間判別手段と、該リカバリ時間判別手段によってリカバリ時間が設定されたとき時間の計時を開始する計時手段と、前記リカバリ時間と前記計時手段の計時時間とを比較し、該計時時間がリカバリ時間と同一になったとき一致信号を出力する比較手段と、CPU のアクセスに対する I/O コントローラからの応答信号及び前記一致信号が入力されたとき前記リカバリ時間判別手段にリカバリ時間を設定させる信号を出力する信号送出手段とを備えたものである。

【0005】本発明においては、リカバリ時間判別手段がリカバリ時間を設定すると、計時手段が時間の計時を開始し、比較手段は、設定されたリカバリ時間と計時手段によって計時された時間とを比較し、その計時時間がリカバリ時間に達したとき一致信号を信号送出手段に出力する。信号送出手段は、CPU のアクセスに対する I/O コントローラからの応答信号及び前記一致信号が入力されると、リカバリ時間判別手段にリカバリ時間を設定させる信号を出力する。

【0006】

【発明の実施の形態】図 1 は本発明の実施形態を示すブロック図であり、図において、1 はコンピュータの CPU で、I/O コントローラ 2 にアクセスする際、I/O コントローラ 2 のリカバリ時間がデータとして存在するかどうかを判別し、存在するときはそのリカバリ時間を設定するリカバリ時間判別手段を備えている。このリカバリ時間は信号 11 に変換され、リカバリ時間設定回路 3 に出力される。また、リカバリ時間を設定した際、そのリカバリ時間設定回路 3 とプログラマブルカウンタ回路 4 とに起動信号 12 をそれぞれ出力するようになっている。起動信号 12 の出力後は、I/O コントローラ 2 を選択するための選択信号 21 及びプログラムの命令に基づくコマンド信号 22 を I/O コントローラ 2 に出力する。

【0007】前述のリカバリ時間設定回路 3 は起動信号 12 が入力されたときリカバリ時間を出力し、プログラマブルカウンタ回路 4 は起動信号 12 が入力されるとクロック信号 13 を入力して加算し、その都度、クロックの加算値を出力する。5 は比較器で、リカバリ時間設定回路 3 から出力されたリカバリ時間とプログラマブルカウンタ回路 4 の加算値とを比較し、その加算値がリカバリ時間と同一になったとき一致信号 14 を出力する。6 は AND 回路で、本発明の信号送出手段に相当し、CPU 1 のアクセスに対する I/O コントローラ 2 からの応答信号 15 及び前記一致信号 14 が入力されたとき H レベルの信号（以下、「リカバリ時間設定信号」という）を CPU 1 に出力し、リカバリ時間を再び設定させる。

【0008】次に、動作を図 2 に基づいて説明する。図 2 は実施形態における CPU の動作を示すフローチャートである。CPU 1 は、I/O コントローラ 2 にアクセ

スする際、図示していないが I/O コントローラ 2 のリカバリ時間、例えば $5\mu s$ がデータとして存在するかどうかを判別する。リカバリ時間がデータとして存在しないときは、CPU 1 の持つ処理速度に基づいてアクセス命令の選択信号 21 及びコマンド信号 22 を I/O コントローラ 2 に出力するが、リカバリ時間がデータとして存在するときは、そのリカバリ時間 $5\mu s$ を信号 11 に変換してリカバリ時間設定回路 3 に出力すると共に、起動信号 12 をリカバリ時間設定回路 3 とプログラマブルカウンタ回路 4 とにそれぞれ出力し (S1, S2)、かつ、I/O コントローラ 2 にプログラムに基づく選択信号 21 及びコマンド信号 22 を出力する (S3)。そして、アクセス命令を全て発行したかどうかを判定し (S4)、アクセス命令の発行を終了したときは別の処理に入るが、終了していないときはリカバリ時間設定信号 16 が入力されたかどうかを判定し (S5)、リカバリ時間設定信号が入力されていないときは待機する。

【0009】一方、リカバリ時間設定回路 3 は CPU 1 によって設定されたリカバリ時間 $5\mu s$ を比較器 5 に出力し、プログラマブルカウンタ回路 4 は、例えば $1\mu s$ のクロック信号 13 が入力される毎に加算して比較器 5 に出力し、比較器 5 は、入力されたリカバリ時間 $5\mu s$ と比較器 5 からの加算値とを比較し、その加算値がリカバリ時間の $5\mu s$ に達したとき一致信号 14 を AND 回路 6 に出力する。AND 回路 6 は、CPU 1 のアクセスに対する I/O コントローラ 2 からの応答信号 15 及び比較器 5 からの一致信号 14 が入力されたとき、リカバリ時間設定信号 16 を CPU 1 に出力する。

【0010】CPU 1 は、リカバリ時間設定信号 16 が入力されるとステップ 1 に戻って、前述した一連の処理を繰り返す。そして、この処理を繰り返すことによりアクセス命令が全て終了すると別の処理に入る。

【0011】このように CPU 1 の処理速度が向上しても、CPU 1 の処理速度とは無関係のクロック信号 13 が I/O コントローラ 2 のリカバリ時間に達するまで次のアクセス命令を出せないようにしているので、処理速度の高い CPU 1 に変更しても従来のプログラムをそのまま流用できるという効果がある。

【0012】

【発明の効果】以上のように本発明によれば、I/O コントローラにアクセスする際、リカバリ時間が設定されていたときは、計時手段の計時時間がそのリカバリ時間に達しないと次のアクセス命令を出せないようにしているので、処理速度の高い CPU に変更しても従来のプログラムをそのまま流用できるという効果がある。

【図面の簡単な説明】

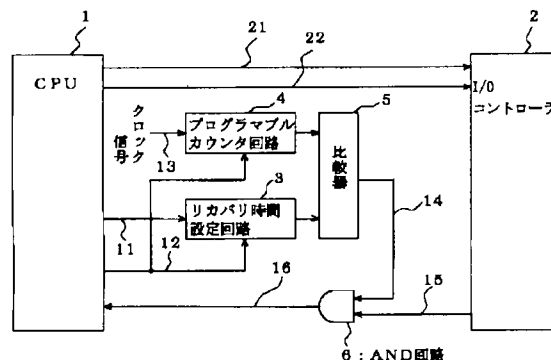
【図 1】本発明の実施形態を示すブロック図である。

【図 2】実施形態における CPU の動作を示すフローチャートである。

【符号の説明】

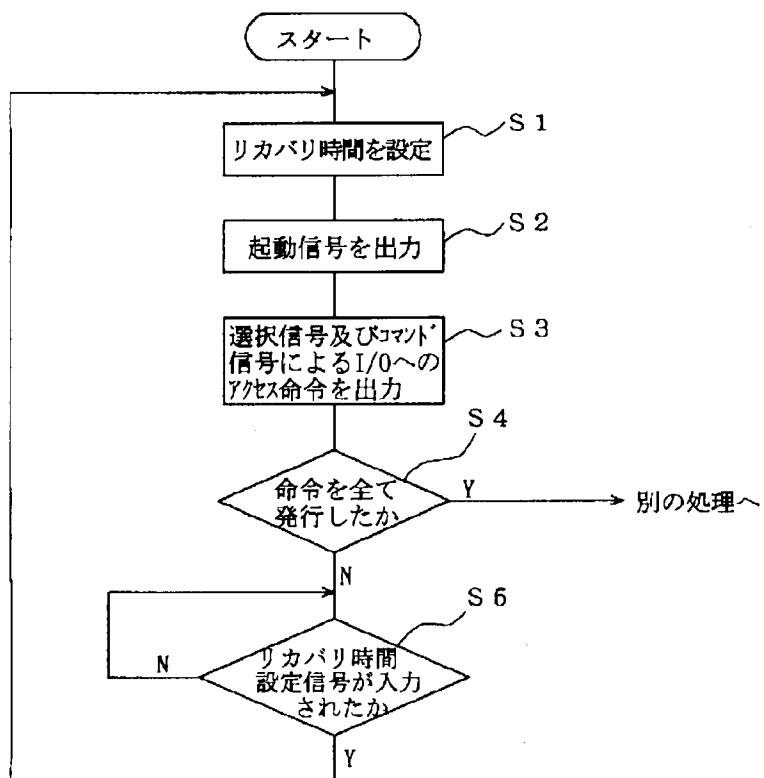
- 1 CPU
- 2 I/O コントローラ
- 3 リカバリ時間設定回路
- 4 プログラマブルカウンタ回路
- 5 比較器
- 6 AND 回路

【図 1】



本発明に係る I/O アクセス制御回路のブロック図

【図2】



実施形態におけるCPUの動作を示すフローチャート